

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re U.S. Patent Application)

Applicant: Kazushige Hotta)

Serial No.)

Filed: January 27, 2004)

For: THIN FILM TRANSISTOR)
SUBSTRATE AND ITS)
MANUFACTURE)

Art Unit:)

I hereby certify that this paper is being deposited with the United States Postal Service as EXPRESS MAIL in an envelope addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450, on this date.

January 27, 2004
Date

Deil Owen
Express Mail Label No.: EV032731514US

CLAIM FOR PRIORITY

Mail Stop PATENT APPLICATION

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

Dear Sir:

Applicants claim foreign priority benefits under 35 U.S.C. § 119 on the basis of the foreign application identified below:

Japanese Patent Application No. 2003-017306, filed January 27, 2003.

A certified copy of the priority document is enclosed.

Respectfully submitted,

GREER, BURNS & CRAIN, LTD.

By 

Patrick G. Burns

Registration No. 29,367

January 27, 2004

300 South Wacker Drive

Suite 2500

Chicago, Illinois 60606

Telephone: 312.360.0080

Facsimile: 312.360.9315

P:\DOCS\161269203\416332.DOC

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 1月27日

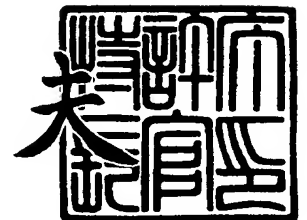
出願番号
Application Number: 特願2003-017306
[ST. 10/C]: [JP2003-017306]

出願人
Applicant(s): 富士通ディスプレイテクノロジーズ株式会社

2003年12月22日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3106124

【書類名】 特許願

【整理番号】 0240836

【提出日】 平成15年 1月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 薄膜トランジスタ基板とその製造方法

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通
ディスプレイテクノロジーズ株式会社内

【氏名】 堀田 和重

【特許出願人】

【識別番号】 302036002

【氏名又は名称】 富士通ディスプレイテクノロジーズ株式会社

【代理人】

【識別番号】 100091340

【弁理士】

【氏名又は名称】 高橋 敬四郎

【電話番号】 03-3832-8095

【選任した代理人】

【識別番号】 100105887

【弁理士】

【氏名又は名称】 来山 幹雄

【電話番号】 03-3832-8095

【手数料の表示】

【予納台帳番号】 009852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0213493

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜トランジスタ基板とその製造方法

【特許請求の範囲】

【請求項 1】 (a) 基板上に n チャネルトランジスタに適した閾値電圧を有する半導体層を形成する工程と、

(b) 前記半導体層を第 1 マスクを用いて島状にパターンニングし、画素駆動用 LDD 領域付の n チャネルトランジスタ領域、CMOS 用 n チャネルトランジスタ領域、CMOS 用 p チャネルトランジスタ領域を画定する工程と、

(c) 前記島状にパターンニングした半導体層を覆って、ゲート絶縁膜、第 1 ゲート電極層を形成する工程と、

(d) 前記第 1 ゲート電極層を第 2 マスクを用いてパターンニングし、CMOS 用 p チャネルトランジスタ領域で開口を有する第 1 ゲート電極層に加工する工程と、

(e) 前記第 1 ゲート電極層をマスクとして、前記開口内の CMOS 用 p チャネルトランジスタ領域に n 型不純物をイオン注入して、p チャネルトランジスタに適した閾値電圧を生成する工程と、

(f) 工程(e)の後、前記第 1 ゲート電極層を覆う第 2 ゲート電極層を形成する工程と、

(g) 前記第 2 ゲート電極層を第 3 マスクを用いてエッチングして、ゲート電極形状の第 2 ゲート電極を形成する工程と、

(h) 前記第 2 ゲート電極及び第 1 ゲート電極層をマスクとして、前記 CMOS 用 p チャネルトランジスタ領域に高濃度 p 型不純物のイオン注入を行い、高濃度ソース／ドレイン領域を形成する工程と、

(i) 前記第 2 ゲート電極をマスクとして、前記第 1 ゲート電極層をエッチングし、n チャネルトランジスタのゲート電極を形成する工程と、

(j) 前記 CMOS 用 p チャネルトランジスタ領域及び前記 LDD 領域付 n チャネルトランジスタ領域の LDD 領域を覆う第 4 マスクを用いて、高濃度 n 型不純物をイオン注入し、n チャネルトランジスタの高濃度ソース／ドレイン領域を形成する工程と、

(k) 低濃度の n 型不純物をイオン注入し、前記 LDD 領域付 n チャネルトランジスタ領域の LDD 領域を形成する工程と、
を含む薄膜トランジスタ基板の製造方法。

【請求項 2】 (a) 基板上に p チャネルトランジスタに適した閾値電圧を有する半導体層を形成する工程と、

(b) 前記半導体層を第 1 マスクを用いて島状にパターニングし、LDD 領域付の n チャネルトランジスタ領域、CMOS 用 n チャネルトランジスタ領域、CMOS 用 p チャネルトランジスタ領域を画定する工程と、

(c) 前記島状にパターニングした半導体層を覆って、ゲート絶縁膜、第 1 ゲート電極層を形成する工程と、

(d) 前記第 1 ゲート電極層を第 2 マスクを用いてパターニングし、CMOS 用 p チャネルトランジスタ領域を覆い、n チャネルトランジスタ領域で開口を有する第 1 ゲート電極層に加工する工程と、

(e) 前記第 1 ゲート電極層をマスクとして、前記開口内の n チャネルトランジスタ領域に低濃度 p 型不純物をイオン注入して、n チャネルトランジスタに適した閾値電圧を生成する工程と、

(f) 工程(e)の後、前記第 1 ゲート電極層を覆う第 2 ゲート電極層を形成する工程と、

(g) 前記第 2 ゲート電極層を第 3 マスクを用いてエッチングして、LDD 領域付の n チャネルトランジスタ領域の LDD 領域まで覆うゲート電極形状とその他のトランジスタ領域のゲート電極形状とを有する第 2 ゲート電極層を形成する工程と、

(h) 前記第 2 ゲート電極層及び第 1 ゲート電極層をマスクとして、n チャネルトランジスタ領域に第 1 の高濃度 n 型不純物のイオン注入を行い、高濃度ソース/ドレイン領域を形成する工程と、

(i) 前記第 2 のゲート電極層をマスクとして、前記第 1 のゲート電極層をエッチングする工程と、

(j) 前記 CMOS 用 p チャネルトランジスタ領域を露出し、少なくとも前記 LDD 領域付 n チャネルトランジスタ領域のゲート電極領域を覆う第 4 マスクを

形成する工程と、

(k) 前記第1の高濃度より低い第2の高濃度p型不純物をイオン注入し、前記pチャネルトランジスタ領域に高濃度ソース／ドレイン領域を形成する工程と

(l) 前記第4マスクをエッチングマスクとして、前記第2ゲート電極層をエッチングし、LDD領域付nチャネルトランジスタのゲート電極をパターンニングする工程と、

(m) 低濃度のn型不純物をイオン注入し、前記LDD領域付nチャネルトランジスタ領域にLDD領域を形成する工程と、
を含む薄膜トランジスタ基板の製造方法。

【請求項3】 基板と、

前記基板上に形成された第1半導体層、第1ゲート絶縁膜、第1ゲート電極を含む第1トランジスタ構造であって、前記第1ゲート電極下の前記第1半導体層のチャネル領域はp型不純物のみが意図的に添加され、前記第1半導体層はチャネル領域外側のn型LDD領域と、その外側の高濃度n型ソース／ドレイン領域とを含み、前記第1ゲート電極は第1金属層と第2金属層とを含む積層で形成されている第1トランジスタ構造と、

前記基板上に形成された第2半導体層、第2ゲート絶縁膜、第2ゲート電極を含む第2トランジスタ構造であって、前記第2ゲート電極下の前記第1半導体層のチャネル領域はp型不純物のみが意図的に添加され、前記第2半導体層は、前記第2ゲート電極外側に高濃度n型ソース／ドレイン領域を含み、前記第2ゲート電極は前記第1金属層と前記第2金属層とを含む積層で形成されている第2トランジスタ構造と、

前記基板上に形成された第3半導体層、第3ゲート絶縁膜、第3ゲート電極を含む第3トランジスタ構造であって、前記第3ゲート電極下の前記第3半導体層のチャネル領域はp型不純物とn型不純物とが意図的に添加され、前記第3半導体層は、前記第3ゲート電極外側に高濃度p型ソース／ドレイン領域を含み、前記第3ゲート電極は前記第2金属層で形成されている第3トランジスタ構造と、
を有する薄膜トランジスタ基板。

【請求項 4】 基板と、

前記基板上に形成された第 1 半導体層、第 1 ゲート絶縁膜、第 1 ゲート電極を含む第 1 トランジスタ構造であって、前記第 1 ゲート電極下の前記第 1 半導体層のチャンネル領域は第 1 の濃度の p 型不純物が意図的に添加され、前記第 1 半導体層はチャンネル領域外側に n 型 LDD 領域、その外側に高濃度 n 型ソース／ドレイン領域を含み、前記第 1 ゲート電極は第 1 金属層で形成されている第 1 トランジスタ構造と、

前記基板上に形成された第 2 半導体層、第 2 ゲート絶縁膜、第 2 ゲート電極を含む第 2 トランジスタ構造であって、前記第 2 ゲート電極下の前記第 1 半導体層のチャンネル領域は前記第 1 の濃度の p 型不純物が意図的に添加され、前記第 2 半導体層は、前記第 2 ゲート電極外側に高濃度 n 型ソース／ドレイン領域を含み、前記第 2 ゲート電極は前記第 1 金属層で形成されている第 2 トランジスタ構造と、

前記基板上に形成された第 3 半導体層、第 3 ゲート絶縁膜、第 3 ゲート電極を含む第 3 トランジスタ構造であって、前記第 3 ゲート電極下の前記第 3 半導体層のチャンネル領域は前記第 1 の濃度より低い第 2 の濃度の p 型不純物が意図的に添加され、前記第 3 半導体層は、LDD 領域を含まず、前記第 3 ゲート電極外側に高濃度 p 型ソース／ドレイン領域を含み、前記第 3 ゲート電極は前記第 1 金属層と異なる第 2 金属層で形成されている第 3 トランジスタ構造と、
を有する薄膜トランジスタ基板。

【請求項 5】 前記第 1 金属層と前記第 2 金属層とはエッチング特性が異なる請求項 3 または 4 記載の薄膜トランジスタ基板。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、薄膜トランジスタ基板とその製造方法に関し、特に n チャンネルトランジスタと p チャンネルトランジスタとを有する薄膜トランジスタ基板とその製造方法に関する。

【0002】

【従来の技術】

液晶表示装置において、画素駆動用に薄膜トランジスタが用いられている。例えば多結晶シリコン薄膜を用いることにより、表示領域内に画素駆動用薄膜トランジスタを形成すると共に、表示領域外に周辺回路用薄膜トランジスタを形成することができる。

【0003】

画素駆動用薄膜トランジスタは、リーク電流が低いことが要求され、低不純物濃度ドレイン (LDD) 領域を有する n チャンネル MOS 薄膜トランジスタ (TFET) で形成される。周辺回路用薄膜トランジスタは、低消費電力であることが望まれ、相補型 (C) MOSTFT で形成することが好ましい。安定な動作のためには CMOS TFET の n チャンネル TFET も LDD 領域付構造とすることが望ましい。高速動作が望まれる場合は、LDD 領域が高速動作の妨げとなるので、CMOSTFT は、p チャンネルも n チャンネルも LDD 領域なしの構成とすることが好ましい。

【0004】

ガラス基板上にアモルファスシリコン薄膜を成膜し、エキシマレーザを照射して多結晶化すると、多結晶薄膜トランジスタの閾値は大きくマイナス側にシフトしてしまう。閾値を 0 V にするには、ボロン等の p 型不純物を添加する必要がある (例えば特開平 03-006865 号)。n チャンネルトランジスタと p チャンネルトランジスタを作成する場合、閾値を 0 V に調整しても、マージンが低く、電圧 0 V でのリーク電流を共に低くすることは困難である。

【0005】

n チャンネルトランジスタと p チャンネルトランジスタの閾値を共に所望の値に調整するには、n チャンネルトランジスタと p チャンネルトランジスタとに別個の不純物添加を行なう必要がある (例えば、特開平 04-290467 号、特開平 10-135791 号、特開 2001-092373 号)。このため少なくとも 1 枚のマスクを必要とする。

【0006】

又、高濃度ソース／ドレイン領域形成に 2 枚のマスクを用いる。シリコン薄膜

のパターニングとゲート電極のパターニングに2枚のマスクを必要とする。このようにCMOS TFTを形成するには最低5枚のマスクを必要とする。液晶表示装置を歩留りよく、低い製造コストで作成するためには、マスク枚数を低減することが望まれる。

【0007】

【特許文献1】

特開平03-006865号公報

【特許文献2】

特開平04-290467号公報

【特許文献3】

特開平10-135791号公報

【特許文献4】

特開2001-092373号公報

【0008】

【発明が解決しようとする課題】

本発明の目的は、少ないマスク枚数でnチャネルトランジスタの閾値とpチャネルトランジスタの閾値とを独立に制御できる薄膜トランジスタ基板の製造方法を提供することである。

【0009】

本発明の他の目的は、少ないマスク枚数で製造でき、nチャネルトランジスタの閾値とpチャネルトランジスタの閾値とが独立に制御されている薄膜トランジスタ基板を提供することである。

【0010】

【課題を解決するための手段】

本発明の1観点によれば、(a) 基板上にnチャネルトランジスタに適した閾値電圧を有する半導体層を形成する工程と、(b) 前記半導体層を第1マスクを用いて島状にパターニングし、画素駆動用LDD領域付のnチャネルトランジスタ領域、CMOS用nチャネルトランジスタ領域、CMOS用pチャネルトランジスタ領域を画定する工程と、(c) 前記島状にパターニングした半導体層を覆

って、ゲート絶縁膜、第1ゲート電極層を形成する工程と、(d) 前記第1ゲート電極層を第2マスクを用いてパターンニングし、CMOS用pチャネルトランジスタ領域で開口を有する第1ゲート電極層に加工する工程と、(e) 前記第1ゲート電極層をマスクとして、前記開口内のCMOS用pチャネルトランジスタ領域にn型不純物をイオン注入して、pチャネルトランジスタに適した閾値電圧を生成する工程と、(f) 工程(e)の後、前記第1ゲート電極層を覆う第2ゲート電極層を形成する工程と、(g) 前記第2ゲート電極層を第3マスクを用いてエッチングして、ゲート電極形状の第2ゲート電極を形成する工程と、(h) 前記第2ゲート電極及び第1ゲート電極層をマスクとして、前記CMOS用pチャネルトランジスタ領域に高濃度p型不純物のイオン注入を行い、高濃度ソース／ドレイン領域を形成する工程と、(i) 前記第2ゲート電極をマスクとして、前記第1ゲート電極層をエッチングし、nチャネルトランジスタのゲート電極を形成する工程と、(j) 前記CMOS用pチャネルトランジスタ領域及び前記LDD領域付nチャネルトランジスタ領域のLDD領域を覆う第4マスクを用いて、高濃度n型不純物をイオン注入し、nチャネルトランジスタの高濃度ソース／ドレイン領域を形成する工程と、(k) 低濃度のn型不純物をイオン注入し、前記LDD領域付nチャネルトランジスタ領域のLDD領域を形成する工程と、を含む薄膜トランジスタ基板の製造方法が提供される。

【0011】

本発明の他の観点によれば、(a) 基板上にpチャネルトランジスタに適した閾値電圧を有する半導体層を形成する工程と、(b) 前記半導体層を第1マスクを用いて島状にパターンニングし、LDD領域付のnチャネルトランジスタ領域、CMOS用nチャネルトランジスタ領域、CMOS用pチャネルトランジスタ領域を画定する工程と、(c) 前記島状にパターンニングした半導体層を覆って、ゲート絶縁膜、第1ゲート電極層を形成する工程と、(d) 前記第1ゲート電極層を第2マスクを用いてパターンニングし、CMOS用pチャネルトランジスタ領域を覆い、nチャネルトランジスタ領域で開口を有する第1ゲート電極層に加工する工程と、(e) 前記第1ゲート電極層をマスクとして、前記開口内のnチャネルトランジスタ領域に低濃度p型不純物をイオン注入して、nチャネルトラン

ジスタに適した閾値電圧を生成する工程と、(f) 工程(e)の後、前記第1ゲート電極層を覆う第2ゲート電極層を形成する工程と、(g) 前記第2ゲート電極層を第3マスクを用いてエッチングして、LDD領域付のnチャネルトランジスタ領域のLDD領域まで覆うゲート電極形状とその他のトランジスタ領域のゲート電極形状とを有する第2ゲート電極層を形成する工程と、(h) 前記第2ゲート電極層及び第1ゲート電極層をマスクとして、nチャネルトランジスタ領域に第1の高濃度n型不純物のイオン注入を行い、高濃度ソース／ドレイン領域を形成する工程と、(i) 前記第2のゲート電極層をマスクとして、前記第1のゲート電極層をエッチングする工程と、(j) 前記CMOS用pチャネルトランジスタ領域を露出し、少なくとも前記LDD領域付nチャネルトランジスタ領域のゲート電極領域を覆う第4マスクを形成する工程と、(k) 前記第1の高濃度より低い第2の高濃度p型不純物をイオン注入し、前記pチャネルトランジスタ領域に高濃度ソース／ドレイン領域を形成する工程と、(l) 前記第4マスクをエッチングマスクとして、前記第2ゲート電極層をエッチングし、LDD領域付nチャネルトランジスタのゲート電極をパターンニングする工程と、(m) 低濃度のn型不純物をイオン注入し、前記LDD領域付nチャネルトランジスタ領域にLDD領域を形成する工程と、を含む薄膜トランジスタ基板の製造方法が提供される。

【0012】

本発明のさらに他の観点によれば、基板と、前記基板上に形成された第1半導体層、第1ゲート絶縁膜、第1ゲート電極を含む第1トランジスタ構造であって、前記第1ゲート電極下の前記第1半導体層のチャンネル領域はp型不純物のみが意図的に添加され、前記第1半導体層はチャンネル領域外側のn型LDD領域と、その外側の高濃度n型ソース／ドレイン領域とを含み、前記第1ゲート電極は第1金属層と第2金属層とを含む積層で形成されている第1トランジスタ構造と、前記基板上に形成された第2半導体層、第2ゲート絶縁膜、第2ゲート電極を含む第2トランジスタ構造であって、前記第2ゲート電極下の前記第1半導体層のチャンネル領域はp型不純物のみが意図的に添加され、前記第2半導体層は、前記第2ゲート電極外側に高濃度n型ソース／ドレイン領域を含み、前記第2ゲート

電極は前記第1金属層と前記第2金属層とを含む積層で形成されている第2トランジスタ構造と、前記基板上に形成された第3半導体層、第3ゲート絶縁膜、第3ゲート電極を含む第3トランジスタ構造であって、前記第3ゲート電極下の前記第3半導体層のチャネル領域はp型不純物とn型不純物とが意図的に添加され、前記第3半導体層は、前記第3ゲート電極外側に高濃度p型ソース／ドレイン領域を含み、前記第3ゲート電極は前記第2金属層で形成されている第3トランジスタ構造と、を有する薄膜トランジスタ基板が提供される。

【0013】

本発明の他の観点によれば、基板と、前記基板上に形成された第1半導体層、第1ゲート絶縁膜、第1ゲート電極を含む第1トランジスタ構造であって、前記第1ゲート電極下の前記第1半導体層のチャネル領域は第1の濃度のp型不純物が意図的に添加され、前記第1半導体層はチャネル領域外側にn型LDD領域、その外側に高濃度n型ソース／ドレイン領域を含み、前記第1ゲート電極は第1金属層で形成されている第1トランジスタ構造と、前記基板上に形成された第2半導体層、第2ゲート絶縁膜、第2ゲート電極を含む第2トランジスタ構造であって、前記第2ゲート電極下の前記第1半導体層のチャネル領域は前記第1の濃度のp型不純物が意図的に添加され、前記第2半導体層は、前記第2ゲート電極外側に高濃度n型ソース／ドレイン領域を含み、前記第2ゲート電極は前記第1金属層で形成されている第2トランジスタ構造と、前記基板上に形成された第3半導体層、第3ゲート絶縁膜、第3ゲート電極を含む第3トランジスタ構造であって、前記第3ゲート電極下の前記第3半導体層のチャネル領域は前記第1の濃度より低い第2の濃度のp型不純物が意図的に添加され、前記第3半導体層は、LDD領域を含まず、前記第3ゲート電極外側に高濃度p型ソース／ドレイン領域を含み、前記第3ゲート電極は前記第1金属層と異なる第2金属層で形成されている第3トランジスタ構造と、を有する薄膜トランジスタ基板が提供される。

【0014】

【発明の実施の形態】

以下、図1～図6を参照して本発明の第1の実施例による薄膜トランジスタ基板の製造方法を説明する。

【0015】

図1 (A) に示すように、ガラス基板10の表面にプラズマ (PE) 化学気相堆積 (CVD) により、厚さ約50 nmの窒化シリコン層11を成膜する。この窒化シリコン層11は、ガラス基板10から上層への不純物の拡散を防止するための拡散防止膜であり、厚さ50 nm以上の窒化シリコン層であれば、このような拡散防止機能を十分果たすことができる。通常ガラス基板は、耐熱温度が約500℃と考えられ、プロセスはこの耐熱温度以下に選択される。

【0016】

窒化シリコン層11の上に、プラズマCVDにより例えば厚さ200 nmの酸化シリコン層12を堆積する。この酸化シリコン層は、この上に形成する多結晶シリコン層の結晶性を促進する機能を有する。多結晶シリコン層の結晶性促進効果が得られれば、例えば厚さ100 nm等、より薄い酸化シリコン層を用いてもよい。

【0017】

酸化シリコン層12の上に、例えば厚さ40 nmのアモルファス相のシリコン層13をプラズマCVDにより成膜する。XeClエキシマレーザで多結晶化を行なう場合、アモルファス相のシリコン層13の厚さは40 nm～60 nmの範囲に選択することが好ましい。なお、他のレーザを用いて結晶化を行なう場合は、レーザの種類に合わせてシリコン層の厚さを変更することが好ましい。例えば、YVO₄レーザを用いる場合は、例えば厚さ70 nm～100 nm等、より厚いシリコン層を成膜する。

【0018】

図中、左側の領域が表示領域DISPLAYであり、中ほどから右側の領域が周辺回路領域PERIPHERALであるとする。表示領域には画素駆動用のLDD領域付nチャネルTFTを形成し、周辺回路領域にはCMOSTFTを形成する。

【0019】

図6 (A) に示すように、もしノンドープのアモルファスシリコン層を成膜し、レーザ照射により結晶化させ、薄膜トランジスタを形成すると、閾値は大きく

マイナス電位にシフトしてしまう。閾値を適正な値に調整するためには、p型不純物の添加が必要である。

【0020】

図1 (A) に示すように、アモルファスシリコン層13に、p型不純物となるBイオンをイオンドーピング装置を用い、加速エネルギー10keV、ドーズ量 $2 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。このB濃度は、nチャネルTFETの閾値を適正な値に制御する濃度である。

【0021】

図1 (B) に示すように、アモルファスシリコン層13にエキシマレーザー光Exを照射し、結晶化を行なう。アモルファスシリコン層が溶融し、固化することによって多結晶（ポリ）シリコン層に変換される。

【0022】

図1 (C) に示すように、ポリシリコン層13の上に各TFETに対応する島状のレジストパターンM11を形成し、レジストパターンM11をエッチングマスクとしてフッ素系ガスを用いてレジストパターンM11外に露出されたポリシリコン層13をドライエッチングする。その後レジストパターンM11は除去する。

【0023】

なお、アモルファスシリコン層13にBを添加する方法としては、アモルファスシリコン層を成膜する際にBソースの B_2H_6 ガスをシリコンソースである SiH_4 ガスに数ppm程度添加してもよい。又、Bイオンのイオン注入工程と、エキシマレーザーによる結晶化工程の順序を逆にしてもよい。ポリシリコン層を島状にパターニングした後、Bイオンをイオン注入することもできる。

【0024】

図に示した3つの島状ポリシリコン層は、左側の表示領域用LDD (lightly doped drain) 領域付nチャネル薄膜トランジスタ (TFET) 形成用のポリシリコン領域13a、中央の周辺回路用LDD領域無しのnチャネルTFET形成用のポリシリコン領域13b、右側の周辺回路用LDD領域無しpチャネルTFET形成用のポリシリコン領域13cを示す。

【0025】

周辺回路の n チャンネル T F T が L D D 領域なしの T F T である場合を例にとって説明するが、C M O S 回路を L D D 領域付 n チャンネル T F T と L D D 領域なしの p チャンネル T F T で構成することもできる。その場合は、中央の T F T を左側の T F T と同様に作成すればよい。

【0026】

図 1 (D) に示すように、島状ポリシリコン層 13 a ~ 13 c を覆って、例えばプラズマ C V D により厚さ約 30 nm の酸化シリコン層 15 を成膜する。この酸化シリコン層 15 は、ゲート絶縁膜を構成する絶縁層である。酸化シリコン層 15 の上に、スパッタリングにより例えば厚さ 200 nm の Mo 層 16 を成膜する。この Mo 層は、後の工程においてマスク及びエッチングストップとして機能し、ゲート電極の一部も構成する第 1 金属層である。

【0027】

後の工程において、ゲート絶縁膜を貫通してイオン注入を行うことも考慮して、ゲート絶縁膜を約 30 nm と薄めに形成したが、例えば厚さ 100 nm 位に厚くし、後のイオン注入の加速エネルギーを対応して高くすることもできる。

【0028】

図 2 (E) に示すように、Mo 層 16 の上に n チャンネル T F T 領域を覆うレジストマスク M 12 を形成し、p チャンネル T F T 領域上の Mo 層 16 を、たとえばウエットエッチングで除去する。その後レジストパターン M 12 は除去する。残った Mo 層 16 は、n チャンネル T F T 領域を覆うマスクとして機能する。

【0029】

図 2 (F) に示すように、n 型不純物である P イオンをイオンドーピング装置を用い、例えば加速エネルギー 30 keV、ドーズ量 $1 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。Mo 層 16 が n チャンネル T F T 領域を覆っているため、この P イオンは、p チャンネルトランジスタ領域 13 c にのみゲート絶縁膜を介してイオン注入される。図 1 (A) でイオン注入された B 濃度の一部を、図 2 (F) でイオン注入された P 濃度が補償し、p チャンネル T F T 領域に適切な閾値を生成する。

【0030】

図2 (G) に示すように、残されたMo層16と露出したゲート絶縁膜15を覆うように、ゲート電極を形成する第2金属層である、例えば厚さ300nmのAl-Ti合金層18をスパッタリングにより成膜する。図1 (D) で形成した第1金属層と、図2 (G) で形成した第2金属層とは、少なくとも一方でゲート電極を形成する層であり、異なるエッチング特性を有する。なお、金属層に代え、他の導電層を用いることもできる。例えば、導電性半導体層、金属シリサイド層、導電性窒化金属層等を用いることも可能である。

【0031】

図3 (H) に示すように、Al-Ti合金層18の上に、ゲート電極形状のレジストパターンM13を形成し、Al-Ti合金層18を塩素系のガスを用いてドライエッチングする。その後レジストパターンM13は除去する。pチャネルTFT領域のゲート絶縁膜15の上にAl-Ti合金のゲート電極Gpが形成される。第1の金属層であるMo層16はエッチングされず、nチャネルTFTを覆っている。

【0032】

図3 (I) に示すように、残されたMo層16とゲート電極Gpをマスクとし、pチャネルTFT領域に高濃度のp型不純物、例えばBをイオン注入する。例えば、加速エネルギー30keV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ のBイオンをイオン注入する。pチャネルTFTの高濃度ソース/ドレイン領域19が、ゲート電極Gp下のチャネル領域に隣接して形成される。

【0033】

図3 (J) に示すように、Al-Ti電極層18x、18yをマスクとし、その下Mo層16をフッ素系ガスでドライエッチングする。LDD領域付nチャネルTFTに対して、第1金属層16xと第2金属層18xの積層からなるゲート電極Gdが形成される。LDD領域無しのCMOS用nチャネルTFTに対して、第1金属層16yと第2金属層18yの積層からなるゲート電極Gnが形成される。

【0034】

図3 (K) に示すように、低濃度のn型不純物、例えばPをイオン注入する。

例えば、加速エネルギー 30 keV 、ドーズ量 5×10^{13} の P イオンをイオンドーピング装置を用いてイオン注入する。この P イオンのイオン注入は、n チャネル TFT に低不純物濃度領域 21 を形成する。p チャネル TFT においては、高濃度ソース／ドレイン領域 19 の実効不純物濃度が僅かに減少するが、影響はほとんど無視できる。

【0035】

図 4 (L) に示すように、LDD 領域付 n チャネル TFT 領域の LDD 領域及び p チャネル TFT 領域を覆うレジストパターン M14 を形成し、高濃度の n 型不純物、例えば P をイオン注入する。例えば、加速エネルギー 30 keV 、ドーズ量 $2 \times 10^{15}\text{ cm}^{-2}$ の P イオンをイオンドーピング装置を用いてイオン注入する。n チャネル TFT に高濃度のソース／ドレイン領域 22 が形成される。その後、レジストパターン M14 は除去する。

【0036】

図 4 (M) に示すように、エキシマレーザ光 E_x を照射し、イオン注入した不純物を活性化させる。活性化の方法としてランプアニール等の公知の他の方法を用いてもよい。

【0037】

n チャネル TFT を覆う第 1 金属層を形成し、p チャネル TFT の閾値制御イオン注入時のマスクとし、第 2 金属層をゲート電極形状に積層し、p チャネル TFT のソースドレイン作成用イオン注入時のハードマスクとしても第 1 金属層を利用し、その後第 2 金属層をマスクとして第 1 金属層をエッチングすることにより、3 種類の TFT 構造を作成ためのマスク数が 4 枚となった。マスク数減少により、低い製造コストで高い生産性を保ちつつ薄膜トランジスタ基板が形成できる。

【0038】

なお、以下通常の製造方法により薄膜トランジスタ基板を完成させる。

図 4 (N) に示すように、プラズマ CVD により水素を含む層間絶縁膜 24 を形成する。例えば、厚さ 370 nm の窒化シリコン層 24 を SiH_4 と NH_3 をソースガスとするプラズマ CVD により成膜する。その後、窒素雰囲気中、 380

℃、2時間のアニールを行なうことにより、ポリシリコン層の水素化処理を行なう。窒化シリコン層24は、 SiH_4 、 NH_3 をソースガスとして成膜されているので、多量の水素を含んでいる。この水素がポリシリコン層に拡散し、ダングリングボンドを終端化させる。

【0039】

図4(O)に示すように、層間絶縁膜24の上に接続用開口パターンを有するレジストマスクM15を形成し、レジストマスクM15をエッチングマスクとして層間絶縁膜24、ゲート絶縁膜15をフッ素系ガスでドライエッチングする。各TFETの高濃度ソース／ドレイン領域を露出するコンタクトホール25が形成される。レジストマスクM15はその後除去する。

【0040】

図5(P)に示すように、電極及び配線用の第3の金属層27を層間絶縁膜24上に成膜する。例えば、厚さ約100nmのTi層、厚さ約200nmのAl層、厚さ約100nmのTi層をスパッタリングで積層し、第3の金属層27を成膜する。

【0041】

図5(Q)に示すように、第3の金属層27の上にレジストパターンM16を作成し、塩素系ガスを用いてドライエッチングすることにより、第3の金属層27をパターンニングする。図には、ソース／ドレイン領域でポリシリコン層に接触する電極部のみが示されているが、他の部分において第3の金属層27は配線も形成する。レジストパターンM16は、その後除去する。

【0042】

図5(R)に示すように、第3の金属層27を覆うように第2の層間絶縁膜28を形成し、図4(O)と同様のエッチング工程を行ない、表示領域のLDD付nチャネルTFETのドレイン領域に開口を形成する。その後、厚さ約70nmのITO等の透明電極層30を成膜し、レジストパターンを用いてエッチングすることにより画素の透明電極30を形成する。

【0043】

このようにして、液晶表示装置用薄膜トランジスタ基板が形成される。

図6 (B) に示すように、nチャネルトランジスタ領域においては、図1 (A) に示すBイオン注入により、ドレイン電流 I_{ds} 対ゲート電圧 V_g の特性が、 n_1 に示す特性から n_2 に示す特性に調整され、適切な立上り特性が得られる。pチャネルTFET領域においては、ノンドープの特性 p_1 が、図1 (A) に示すBイオン注入により一旦 p_2 の特性に変更され、その後図2 (F) に示すPイオン注入により一部のp型不純物が補償され、 p_3 の特性に調整される。従って、ゲート電圧 V_g が0Vの状態において共にリーク電流が低く、適性な閾値を有するnチャネルTFET及びpチャネルTFETが作成される。

【0044】

図7～図10は、本発明の第2の実施例による薄膜トランジスタ基板の製造方法を示す。第1の実施例と同様な部材には同様の符号を付し、説明を簡略化する。

【0045】

まず、第1の実施例同様ガラス基板10の上に厚さ約50nmの窒化シリコン層11、厚さ約200nmの酸化シリコン層12、厚さ約40nmのアモルファスシリコン層13を成膜する。この状態で、p型不純物、例えばBイオンを加速エネルギー10keV、ドーズ量 1×10^{12} イオン注入する。本実施例において、イオン注入するB濃度は、第1の実施例と異なり、pチャネルTFETの閾値を適切な値にするためのイオン注入である。nチャネルTFETにおいては、Bイオンの注入量が不足し、未だ適切な閾値は得られない。

【0046】

その後、第1の実施例同様、エキシマレーザ光照射によるアモルファスシリコン層の多結晶化、レジストマスクを用いたポリシリコン層のパターニング、ゲート絶縁膜15、第1のゲート電極層16の成膜を行なう。

【0047】

図7 (B) に示すように、レジストマスクM22を用い、第1のゲート電極層16のパターニングを行なう。第1のゲート電極層16は、pチャネルTFET領域を覆い、nチャネルTFET領域に開口を有するように形成される。その後レジストマスクM22は除去する。

【0048】

図7 (C) に示すように、低濃度の p 型不純物、例えば B をイオンドープ装置を用いてイオン注入する。例えば、加速エネルギー 30 keV、ドーズ量 $1 \times 10^{12} \text{ cm}^{-2}$ の B イオンをイオンドープ装置を用いてイオン注入する。

【0049】

第1ゲート電極層 16 が形成されていない n チャネル TFT 領域において、B イオンが追加注入され、チャネル領域に適切な閾値が生成される。

図7 (D) に示すように、第1ゲート電極層 16、露出されたゲート絶縁膜 15 を覆うように、第2ゲート電極層 18 をスパッタリングで成膜する。例えば、Al-Ti 合金層を厚さ約 300 nm スパッタリングで成膜する。

【0050】

図8 (E) に示すように、第2ゲート電極層 18 の上にレジストパターン M23 を形成し、第2ゲート電極層 18 をパターニングする。LDD 領域付 n チャネル TFT 領域においては、LDD 領域を画定するレジストパターンが形成され、第2ゲート電極層 18x がパターニングされる。CMOS 用 n チャネル TFT 領域においては、ゲート電極形状のレジストパターンが形成され、ゲート電極 18y が形成される。CMOS 用 p チャネル TFT 領域においては、ゲート電極形状のレジストパターンが形成され、ゲート電極 18z が形成される。なお、ゲート電極 18z の下には p チャネル TFT 領域全体を覆う第1ゲート電極層 16 が未だ残されている。

【0051】

図8 (F) に示すように、高濃度の n 型不純物、例えば P をイオンドープ装置を用いてイオン注入することにより、n チャネル TFT の高濃度ソース／ドレイン領域 22 を形成する。例えば、加速エネルギー 30 keV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ で P イオンをイオン注入する。

【0052】

図8 (G) に示すように、第2ゲート電極層 18z をマスクとしてその下の第1ゲート電極層 16 をフッ素系ガスでドライエッチングする。p チャネル TFT 領域において、第1ゲート電極層 16、第2ゲート電極層 18 の積層からなるゲ

ート電極 G_p が形成される。

【0053】

図9 (H) に示すように、LDD領域付 n チャネルTF T領域の第2ゲート電極層18x上にゲート電極形状のレジストパターンM24、LDD領域無しの n チャネルTF T領域全体を覆うレジストパターンM24を形成する。

【0054】

p チャネルTF Tに対しゲート電極 G_p をマスクとして、高濃度の p 型不純物をイオン注入し、 p チャネルTF Tの高濃度ソース／ドレイン領域を形成する。この時、LDD領域付 n チャネルTF T領域においては、 n 型不純物が一部補償されるが、残る n 型不純物で高濃度ソース／ドレイン領域を保つように不純物濃度が選択される。例えば、加速エネルギー30keV、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ のBイオンがイオン注入される。

【0055】

図9 (I) に示すように、レジストマスクM24をエッチングマスクとし、第2ゲート電極層18xのエッチングを行なう。LDD領域付 n チャネルTF T領域において、レジストマスク外の第2ゲート電極層がエッチングされ、ゲート電極 G_d がパターンニングされる。 p チャネルTF T領域においては、第1ゲート電極層上に形成された第2ゲート電極層がエッチングされ、第1ゲート電極層のみが残る。その後、レジストマスクM24は除去する。

【0056】

なお、レジストマスクM24を図9 (H) のイオン注入後に形成し、LDD領域付 n チャネルTF Tのゲート電極 G_d のパターンニングを行ってもよい。

図9 (J) に示すように、低濃度の n 型不純物、例えばPをイオン注入し、LDD領域21を形成する。例えば、加速エネルギー30keV、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ のPイオンをイオン注入する。その後レジストマスクM24は除去する。なお、レジストマスクM24を除去した後、低濃度 n 型不純物のイオン注入を行なってもよい。

【0057】

図10 (A) に示すように、ノンドープのポリシリコン層を用いると、 p チャ

ネルTFT及びnチャネルTFTの閾値は共に大きくマイナス電位にシフトしてしまう。

【0058】

図10(B)に示すように、pチャネルTFT領域においては、図7(A)に示すBイオン注入により、ノンドープの特性p1が特性p2に修正され、適切な閾値が得られる。nチャネルTFT領域においては、図7(A)に示すBイオン注入により、特性n1がn2に修正され、さらに図7(C)に示す追加Bイオン注入により特性n2が特性n3に修正され、nチャネルTFTに適切な閾値が生成される。このようにして、pチャネルTFT及びnチャネルTFT共に適切な閾値が得られる。本実施例においても4枚のマスクを用いて3種類のTFT構造を得ることができ、適切な閾値を得ることができる。

【0059】

CMOSTFTのnチャネルTFTをLDD領域付nチャネルTFTで形成してもよいことは第1の実施例同様である。その場合は2種類のトランジスタ構造となる。トランジスタ構造形成後の上層構造の形成は第1の実施例同様である。

【0060】

図11(A)は、上述の実施例により得られる薄膜トランジスタ基板の構成を概略的に示す。薄膜トランジスタ基板1の表示領域DISには、多数の画素PIXが行列状に配置されている。各画素PIXにおいて、薄膜トランジスタTFTに透明電極の画素電極が接続されている。薄膜トランジスタTFTのゲート電極と同時にゲート配線Gが形成される。又、トランジスタのソース/ドレイン領域への電極と共に信号配線SIGが形成される。表示領域DISの上側及び左側に周辺回路PER1及びPER2が形成される。

【0061】

図11(B)は、このような薄膜トランジスタ基板を用いて形成される液晶表示装置の構成を概略的に示す。薄膜トランジスタ基板1とカラーフィルタCFを形成した対向基板2が対向配置され、その間の空間に液層層3が充填される。

【0062】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるもので

はない。例えば、ゲート電極を形成する第1導電層、第2導電層は、エッチング特性が異なる性質が必要であるが、材料は上述のものに限定されない。層間絶縁膜は、上述のものに限定されない。種々の無機絶縁膜や有機絶縁膜を用いることができる。

【0063】

ガラス基板上に薄膜トランジスタを形成する場合を説明したが、他の透明基板、例えば石英版の上に薄膜トランジスタを形成することもできる。この場合は、熱的な制約が緩和されるため、工程の選択度を向上させることができる。その他、種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。

【0064】

以下、本発明の特徴を付記する。

(付記1) (1) (a) 基板上にnチャネルトランジスタに適した閾値電圧を有する半導体層を形成する工程と、

(b) 前記半導体層を第1マスクを用いて島状にパターニングし、画素駆動用LDD領域付のnチャネルトランジスタ領域、CMOS用nチャネルトランジスタ領域、CMOS用pチャネルトランジスタ領域を画定する工程と、

(c) 前記島状にパターニングした半導体層を覆って、ゲート絶縁膜、第1ゲート電極層を形成する工程と、

(d) 前記第1ゲート電極層を第2マスクを用いてパターニングし、CMOS用pチャネルトランジスタ領域で開口を有する第1ゲート電極層に加工する工程と、

(e) 前記第1ゲート電極層をマスクとして、前記開口内のCMOS用pチャネルトランジスタ領域にn型不純物をイオン注入して、pチャネルトランジスタに適した閾値電圧を生成する工程と、

(f) 工程(e)の後、前記第1ゲート電極層を覆う第2ゲート電極層を形成する工程と、

(g) 前記第2ゲート電極層を第3マスクを用いてエッチングして、ゲート電極形状の第2ゲート電極を形成する工程と、

(h) 前記第2ゲート電極及び第1ゲート電極層をマスクとして、前記CMO

CMOS用pチャネルトランジスタ領域に高濃度p型不純物のイオン注入を行い、高濃度ソース/ドレイン領域を形成する工程と、

(i) 前記第2ゲート電極をマスクとして、前記第1ゲート電極層をエッチングし、nチャネルトランジスタのゲート電極を形成する工程と、

(j) 前記CMOS用pチャネルトランジスタ領域及び前記LDD領域付nチャネルトランジスタ領域のLDD領域を覆う第4マスクを用いて、高濃度n型不純物をイオン注入し、nチャネルトランジスタの高濃度ソース/ドレイン領域を形成する工程と、

(k) 低濃度のn型不純物をイオン注入し、前記LDD領域付nチャネルトランジスタ領域のLDD領域を形成する工程と、
を含む薄膜トランジスタ基板の製造方法。

【0065】

(付記2) 前記CMOS用nチャネルトランジスタがLDD領域を有さない構造であり、前記第4マスクはCMOS用nチャネルトランジスタ領域上で開口を有する付記1記載の薄膜トランジスタ基板の製造方法。

【0066】

(付記3) 工程(a)が、

(a1) 基板上に前記半導体層をアモルファス相で堆積するサブ工程と、

(a2) 前記半導体層にnチャネルトランジスタに適した閾値を生成する濃度のp型不純物をイオン注入するサブ工程と、

(a3) 前記半導体層にレーザ光を照射し、アモルファス相の半導体層を多結晶相に変換するサブ工程と、
を含む付記1記載の薄膜トランジスタ基板の製造方法。

【0067】

(付記4)(2) (a) 基板上にpチャネルトランジスタに適した閾値電圧を有する半導体層を形成する工程と、

(b) 前記半導体層を第1マスクを用いて島状にパターンニングし、LDD領域付のnチャネルトランジスタ領域、CMOS用nチャネルトランジスタ領域、CMOS用pチャネルトランジスタ領域を画定する工程と、

(c) 前記島状にパターニングした半導体層を覆って、ゲート絶縁膜、第1ゲート電極層を形成する工程と、

(d) 前記第1ゲート電極層を第2マスクを用いてパターニングし、CMOS用pチャネルトランジスタ領域を覆い、nチャネルトランジスタ領域で開口を有する第1ゲート電極層に加工する工程と、

(e) 前記第1ゲート電極層をマスクとして、前記開口内のnチャネルトランジスタ領域に低濃度p型不純物をイオン注入して、nチャネルトランジスタに適した閾値電圧を生成する工程と、

(f) 工程(e)の後、前記第1ゲート電極層を覆う第2ゲート電極層を形成する工程と、

(g) 前記第2ゲート電極層を第3マスクを用いてエッチングして、LDD領域付のnチャネルトランジスタ領域のLDD領域まで覆うゲート電極形状とその他のトランジスタ領域のゲート電極形状とを有する第2ゲート電極層を形成する工程と、

(h) 前記第2ゲート電極層及び第1ゲート電極層をマスクとして、nチャネルトランジスタ領域に第1の高濃度n型不純物のイオン注入を行い、高濃度ソース/ドレイン領域を形成する工程と、

(i) 前記第2のゲート電極層をマスクとして、前記第1のゲート電極層をエッチングする工程と、

(j) 前記CMOS用pチャネルトランジスタ領域を露出し、少なくとも前記LDD領域付nチャネルトランジスタ領域のゲート電極領域を覆う第4マスクを形成する工程と、

(k) 前記第1の高濃度より低い第2の高濃度p型不純物をイオン注入し、前記pチャネルトランジスタ領域に高濃度ソース/ドレイン領域を形成する工程と、

(l) 前記第4マスクをエッチングマスクとして、前記第2ゲート電極層をエッチングし、LDD領域付nチャネルトランジスタのゲート電極をパターニングする工程と、

(m) 低濃度のn型不純物をイオン注入し、前記LDD領域付nチャネルトラ

トランジスタ領域に LDD 領域を形成する工程と、
薄膜トランジスタ基板の製造方法。

【0068】

(付記 5) 前記 CMOS 用 n チャネルトランジスタが LDD 領域を有さない構造であり、前記第 3 マスクは前記 CMOS 用 n チャネルトランジスタ上でゲート電極の形状を有する付記 4 記載の薄膜トランジスタ基板の製造方法。

【0069】

(付記 6) 前記第 4 マスクが、前記 CMOS 用 n チャネルトランジスタ領域を覆う形状を有する付記 4 記載の薄膜トランジスタ基板の製造方法。

(付記 7) 工程(a)が、

(a1) 基板上に前記半導体層をアモルファス相で堆積するサブ工程と、

(a2) 前記半導体層に p チャネルトランジスタに適した閾値を生成する濃度の p 型不純物をイオン注入するサブ工程と、

(a3) 前記半導体層にレーザ光を照射し、アモルファス相の半導体層を多結晶相に変換するサブ工程と、

を含む付記 4 記載の薄膜トランジスタ基板の製造方法。

【0070】

(付記 8) 前記第 1 ゲート電極層と前記第 2 ゲート電極層とはエッチング特性が異なる付記 1 または 4 記載の薄膜トランジスタ基板の製造方法。

(付記 9) 前記第 1 ゲート電極層は高融点金属層であり、前記第 2 ゲート電極層はアルミニウム合金層である付記 8 記載の薄膜トランジスタ基板の製造方法。

【0071】

(付記 10) さらに、

(1) 前記 3 種類の薄膜トランジスタ構造を覆って、第 1 層間絶縁膜を形成する工程と、

(m) 前記第 1 層間絶縁膜に接続用開口を形成する工程と、

(n) 前記接続用開口を覆って導電層を形成する工程と、

(o) 前記導電層をパターンニングして、電極及び配線を形成する工程と、

(p) 前記電極及び配線を覆って、第2層間絶縁膜を形成する工程と、
前記第2層間絶縁膜に接続用開口を形成する工程と、
(r) 前記接続用開口を覆って透明電極層を形成する工程と、
(s) 前記透明電極層をパターンニングして、各画素の透明電極を形成する工程と、
を含む付記1または4記載の薄膜トランジスタ基板の製造方法。

【0072】

(付記11) (3) 基板と、

前記基板上に形成された第1半導体層、第1ゲート絶縁膜、第1ゲート電極を含む第1トランジスタ構造であって、前記第1ゲート電極下の前記第1半導体層のチャンネル領域はp型不純物のみが意図的に添加され、前記第1半導体層はチャンネル領域外側のn型LDD領域と、その外側の高濃度n型ソース／ドレイン領域とを含み、前記第1ゲート電極は第1金属層と第2金属層とを含む積層で形成されている第1トランジスタ構造と、

前記基板上に形成された第2半導体層、第2ゲート絶縁膜、第2ゲート電極を含む第2トランジスタ構造であって、前記第2ゲート電極下の前記第1半導体層のチャンネル領域はp型不純物のみが意図的に添加され、前記第2半導体層は、前記第2ゲート電極外側に高濃度n型ソース／ドレイン領域を含み、前記第2ゲート電極は前記第1金属層と前記第2金属層とを含む積層で形成されている第2トランジスタ構造と、

前記基板上に形成された第3半導体層、第3ゲート絶縁膜、第3ゲート電極を含む第3トランジスタ構造であって、前記第3ゲート電極下の前記第3半導体層のチャンネル領域はp型不純物とn型不純物とが意図的に添加され、前記第3半導体層は、前記第3ゲート電極外側に高濃度p型ソース／ドレイン領域を含み、前記第3ゲート電極は前記第2金属層で形成されている第3トランジスタ構造と、
を有する薄膜トランジスタ基板。

【0073】

(付記12) 前記第2半導体層は、チャンネル領域の外側にn型LDD領域を有し、その外側に前記高濃度n型ソース／ドレイン領域が配置される付記11

記載の薄膜トランジスタ基板。

【0074】

(付記13) (4) 基板と、

前記基板上に形成された第1半導体層、第1ゲート絶縁膜、第1ゲート電極を含む第1トランジスタ構造であって、前記第1ゲート電極下の前記第1半導体層のチャンネル領域は第1の濃度のp型不純物が意図的に添加され、前記第1半導体層はチャンネル領域外側にn型LDD領域、その外側に高濃度n型ソース／ドレイン領域を含み、前記第1ゲート電極は第2金属層で形成されている第1トランジスタ構造と、

前記基板上に形成された第2半導体層、第2ゲート絶縁膜、第2ゲート電極を含む第2トランジスタ構造であって、前記第2ゲート電極下の前記第1半導体層のチャンネル領域は前記第1の濃度のp型不純物が意図的に添加され、前記第2半導体層は、前記第2ゲート電極外側に高濃度n型ソース／ドレイン領域を含み、前記第2ゲート電極は前記第2金属層で形成されている第2トランジスタ構造と、

前記基板上に形成された第3半導体層、第3ゲート絶縁膜、第3ゲート電極を含む第3トランジスタ構造であって、前記第3ゲート電極下の前記第3半導体層のチャンネル領域は前記第1の濃度より低い第2の濃度のp型不純物が意図的に添加され、前記第3半導体層は、LDD領域を含まず、前記第3ゲート電極外側に高濃度p型ソース／ドレイン領域を含み、前記第3ゲート電極は前記第2金属層とエッチング特性が異なる第1金属層で形成されている第3トランジスタ構造と、

を有する薄膜トランジスタ基板。

【0075】

(付記14) 前記第2半導体層は、チャンネル領域の外側にn型LDD領域を有し、その外側に前記高濃度n型ソース／ドレイン領域が配置される付記13記載の薄膜トランジスタ基板。

【0076】

(付記15) (5) 前記第1金属層と前記第2金属層とはエッチング特性

異なる付記 11 または 13 記載の薄膜トランジスタ基板。

付記 16) 前記第 1 金属層が高融点金属層であり、前記第 2 金属層がアルミニウム合金層である付記 15 記載の薄膜トランジスタ基板。

【0077】

【発明の効果】

少ないマスク枚数で、適切な閾値を有する n チャネル TFT と p チャネル TFT を作成することができる。

【図面の簡単な説明】

【図 1】 本発明の実施例による薄膜トランジスタの製造方法を示す概略断面図である。

【図 2】 本発明の実施例による薄膜トランジスタの製造方法を示す概略断面図である。

【図 3】 本発明の実施例による薄膜トランジスタの製造方法を示す概略断面図である。

【図 4】 本発明の実施例による薄膜トランジスタの製造方法を示す概略断面図である。

【図 5】 本発明の実施例による薄膜トランジスタの製造方法を示す概略断面図である。

【図 6】 図 1～図 5 の製造方法によって得られる閾値を説明するためのグラフである。

【図 7】 本発明の第 2 の実施例による薄膜トランジスタ基板の製造方法を概略的に示す断面図である。

【図 8】 本発明の第 2 の実施例による薄膜トランジスタ基板の製造方法を概略的に示す断面図である。

【図 9】 本発明の第 2 の実施例による薄膜トランジスタ基板の製造方法を概略的に示す断面図である。

【図 10】 図 7～図 9 に示す製造方法によって得られる閾値を説明するためのグラフである。

【図 11】 図 1～図 10 に示す実施例によって得られる薄膜トランジスタ

基板を用いて作成される液晶表示装置を説明する平面図及び概略断面図である。

【符号の説明】

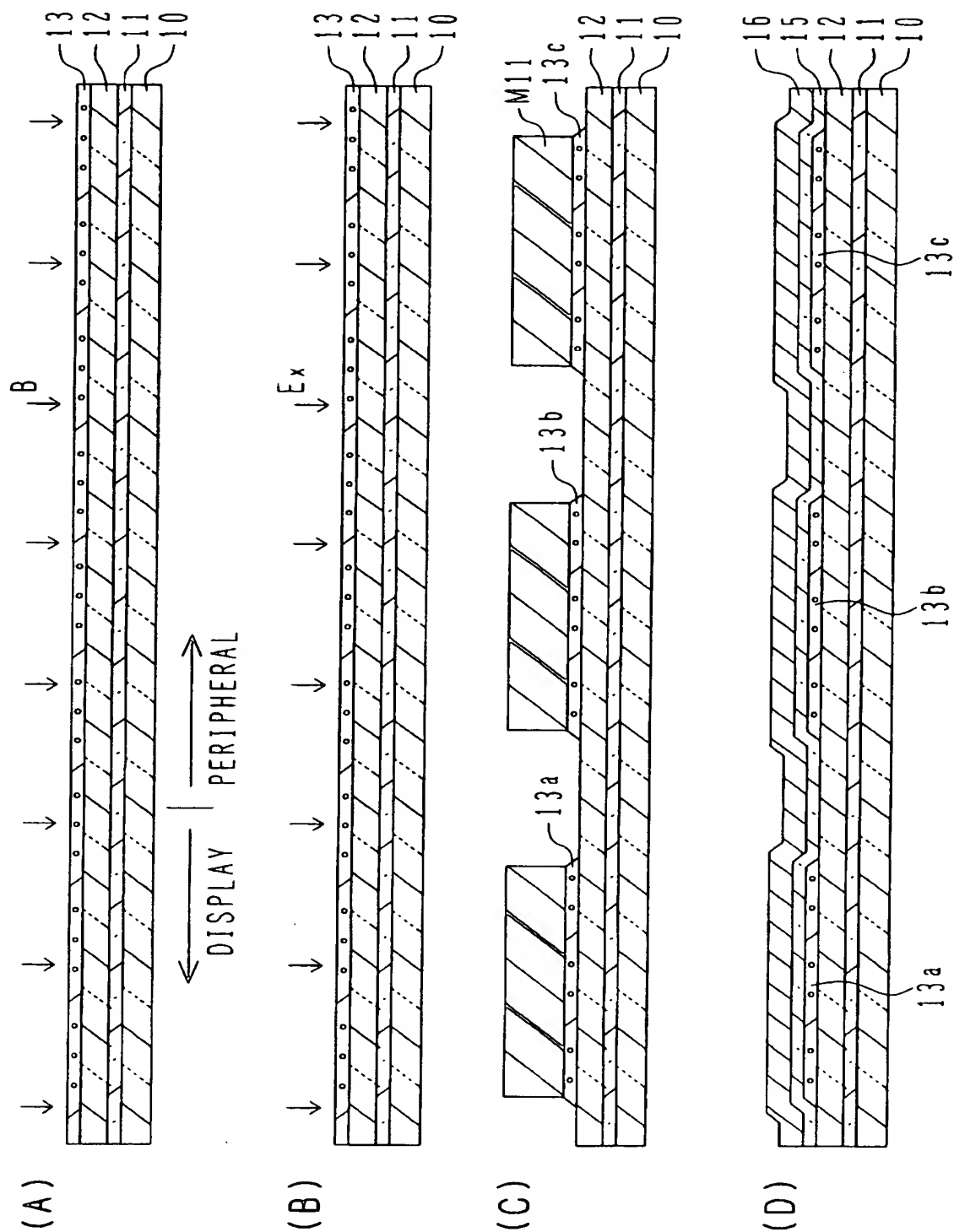
- 1 薄膜トランジスタ基板
- 2 カラーフィルタ基板
- 3 液晶層
- 10 透明基板
- 11 窒化シリコン層
- 12 酸化シリコン層
- 13 シリコン層
- 15 ゲート絶縁膜
- 16 第1ゲート電極層
- 18 第2ゲート電極層
- 24 第1層間絶縁膜
- 27 導電層
- 28 第2層間絶縁膜
- 30 透明電極
- M レジストマスク
- B ボロン
- P 燐
- CF カラーフィルタ
- Ex エキシマレーザ光
- Gd 画素駆動用nチャネルTFTのゲート電極
- Gn CMOS用nチャネルTFTのゲート電極
- Gp CMOS用pチャネルTFTのゲート電極
- G ゲート配線
- PIX 画素
- DIS 表示領域
- PER 周辺回路領域
- SIG 信号配線

T F T 薄膜トランジスタ

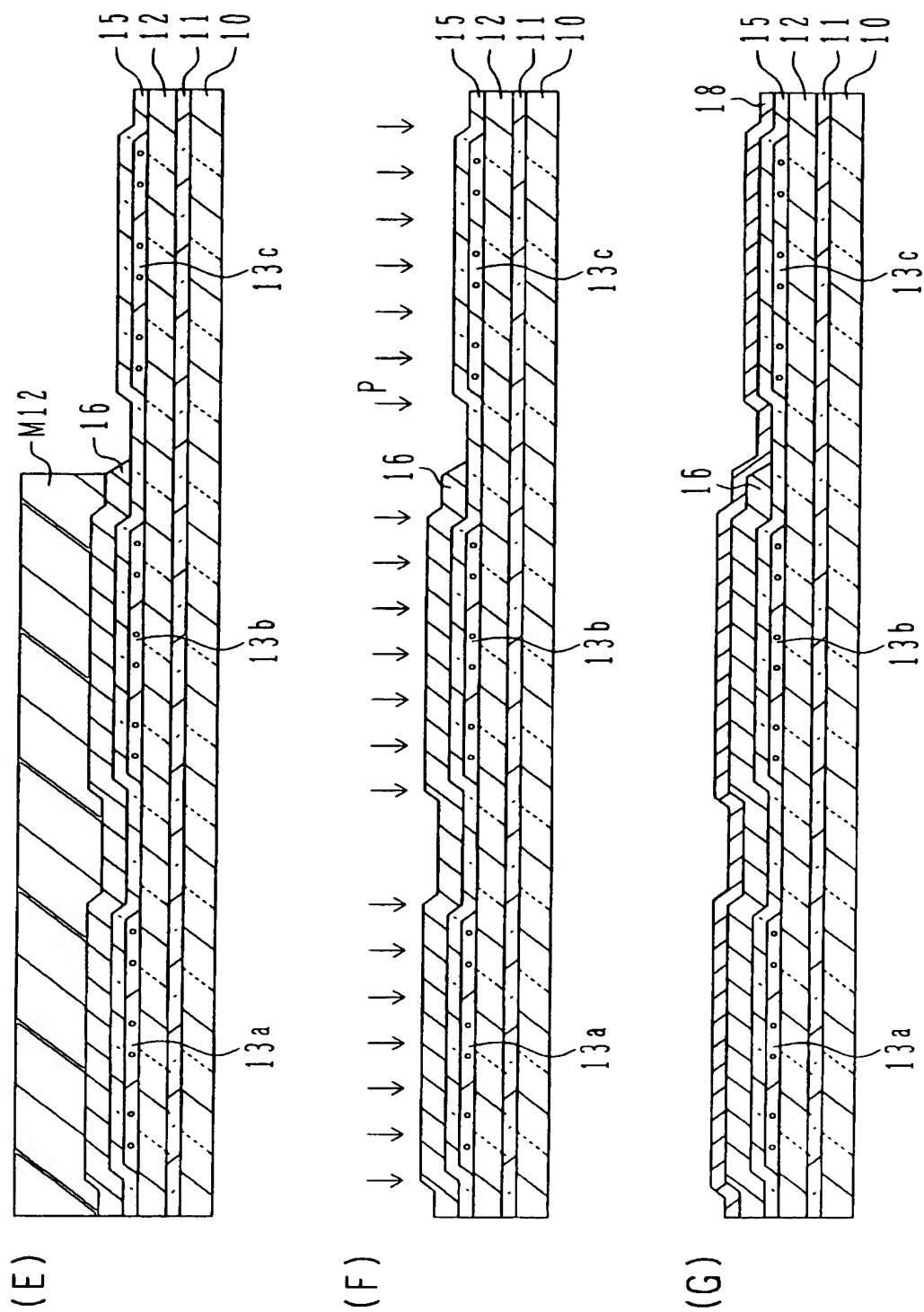
【書類名】

図面

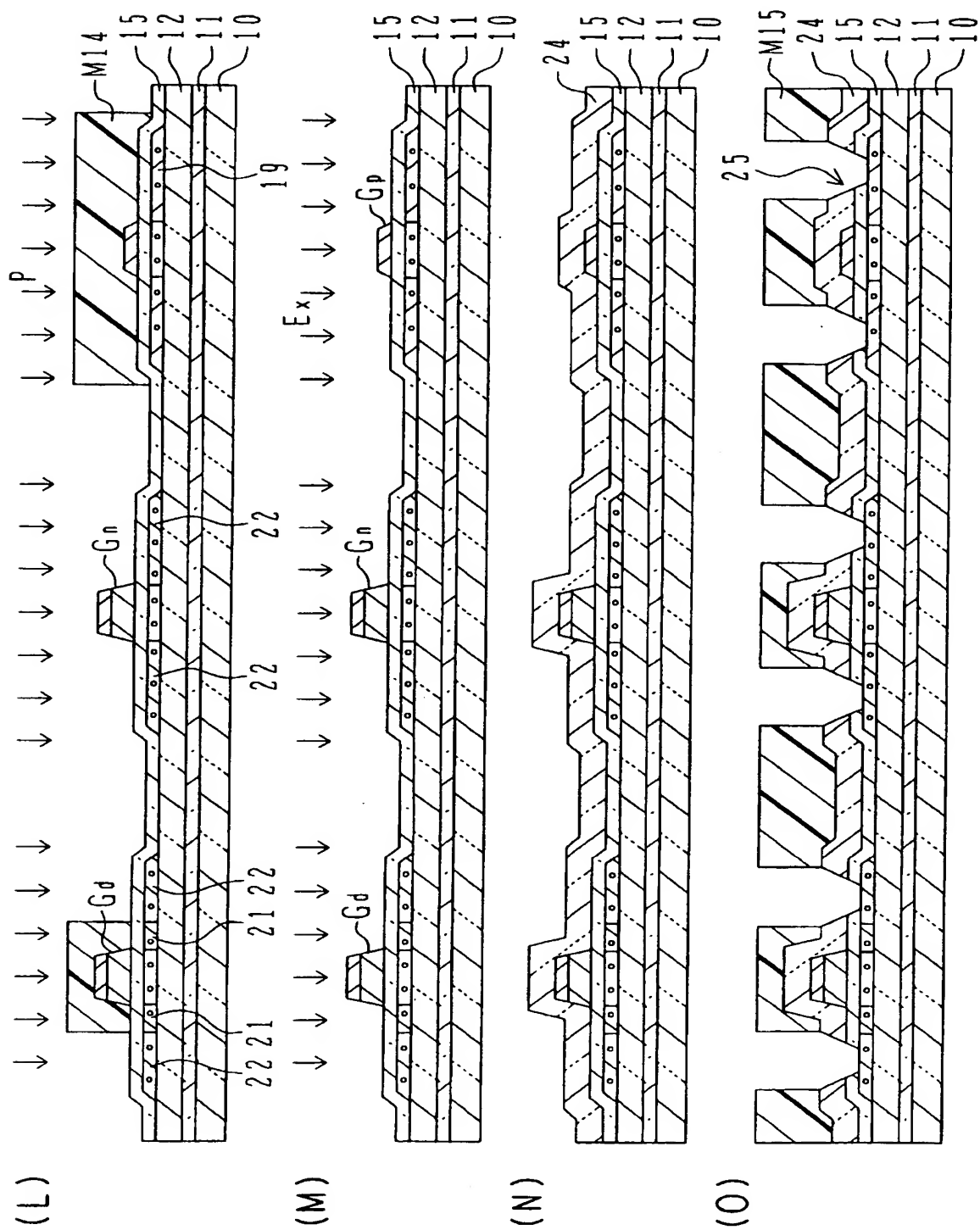
【図 1】



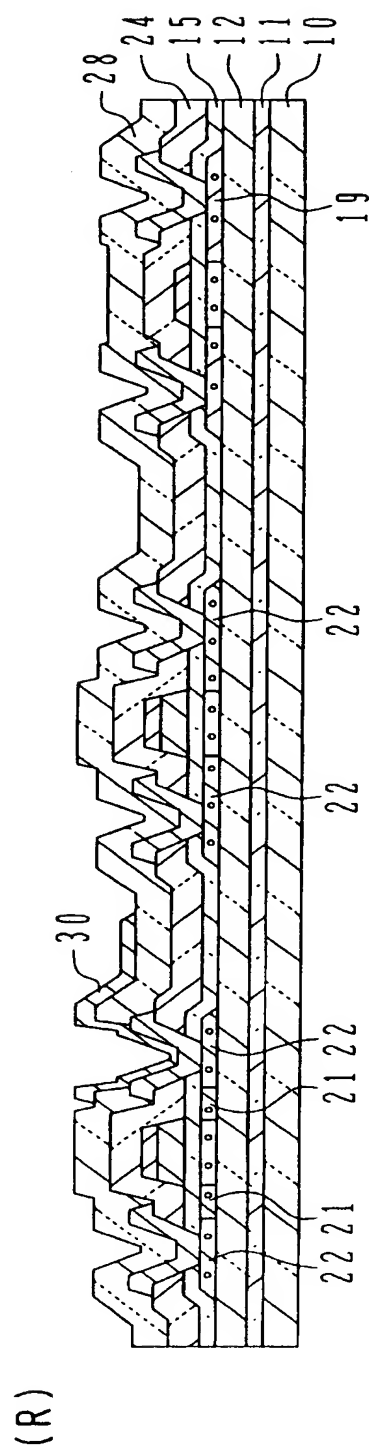
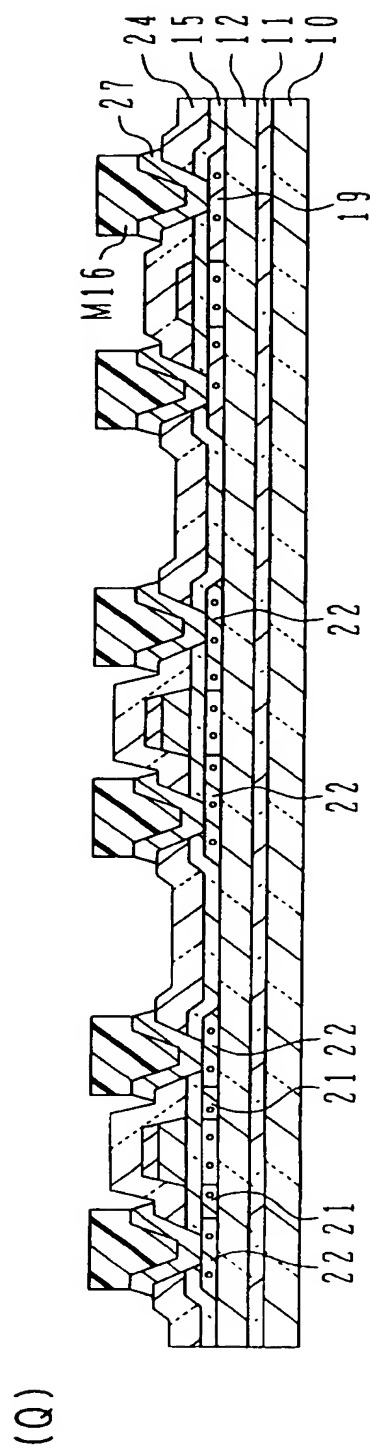
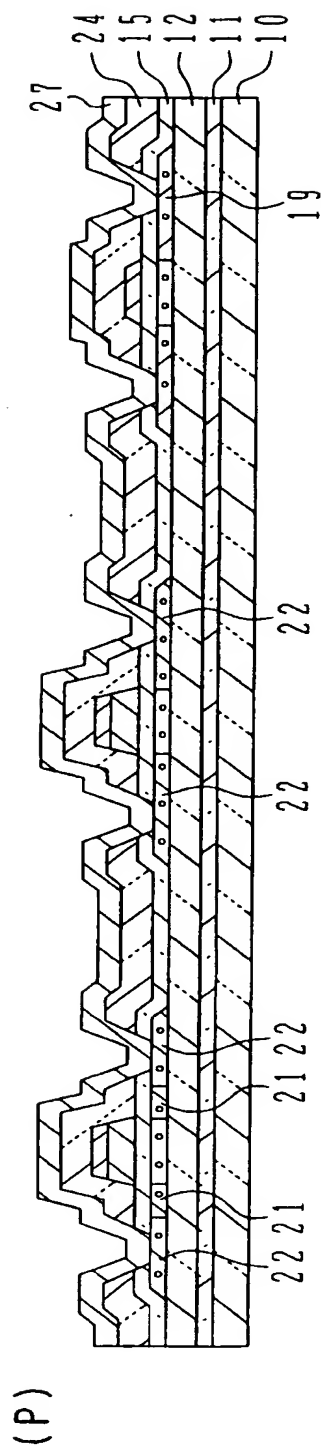
【図 2】



【図 4】

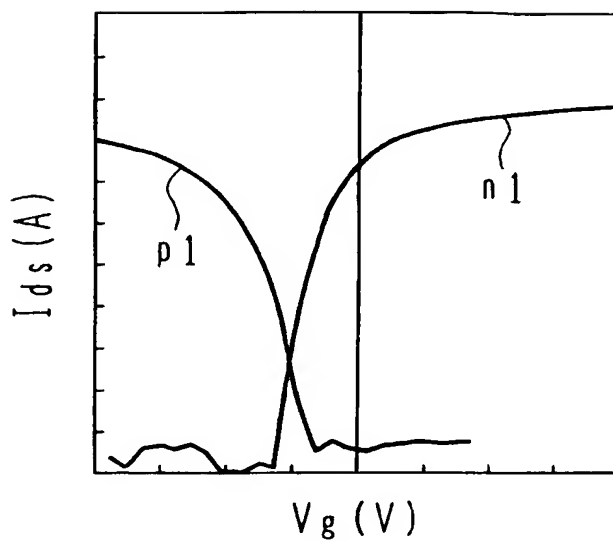


【図 5】

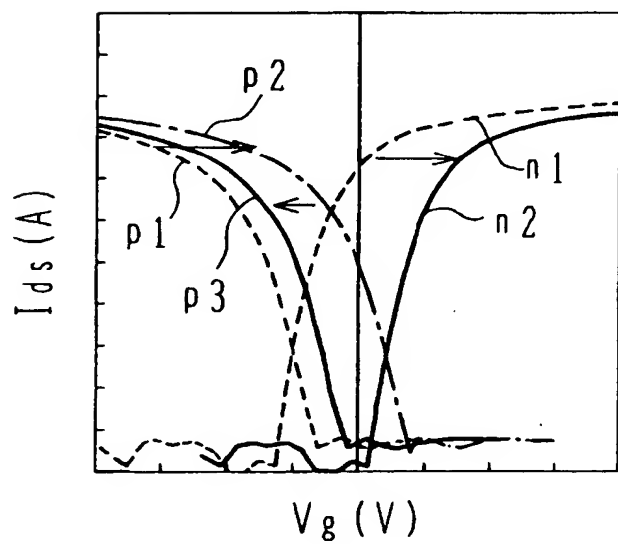


【図 6】

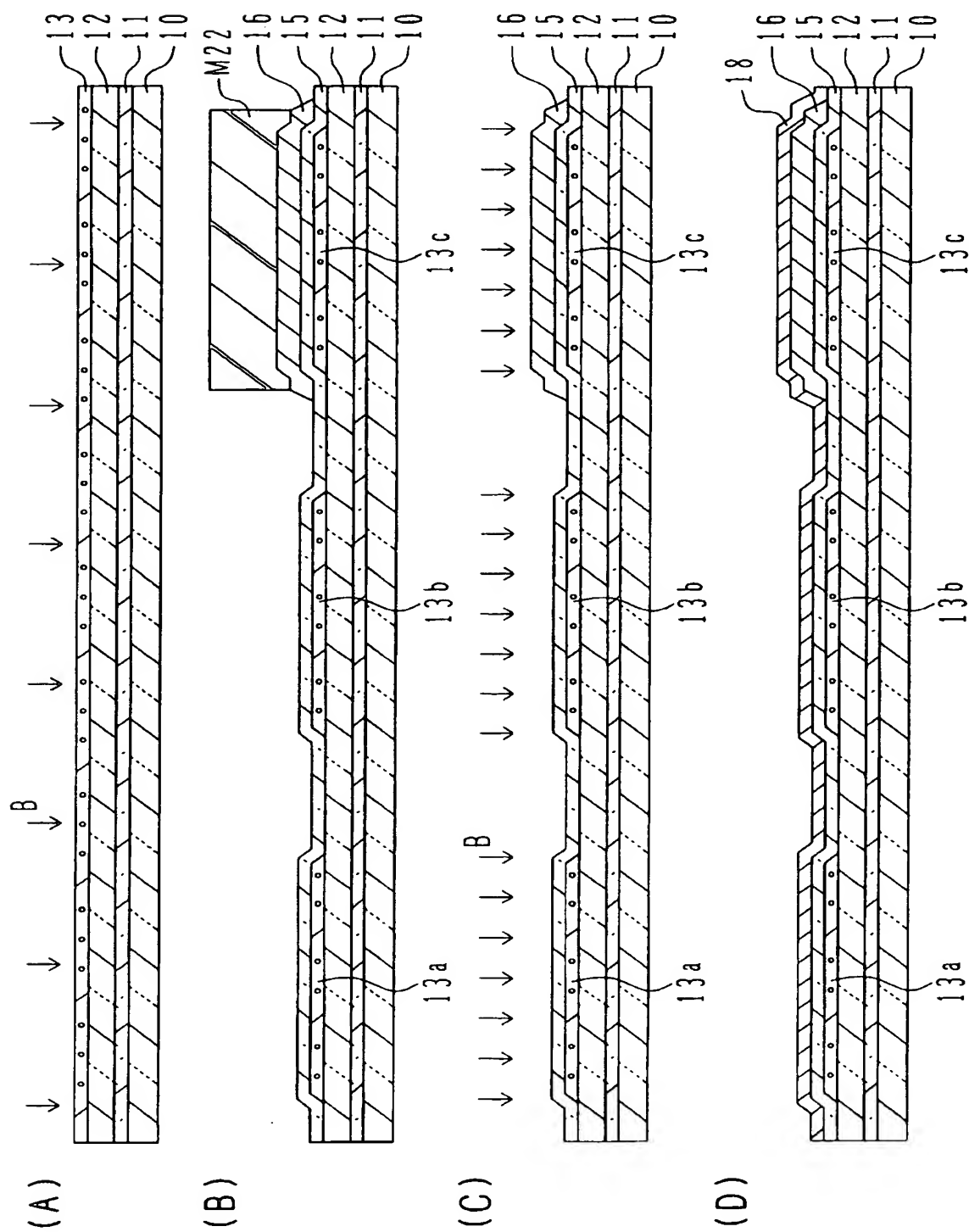
(A)



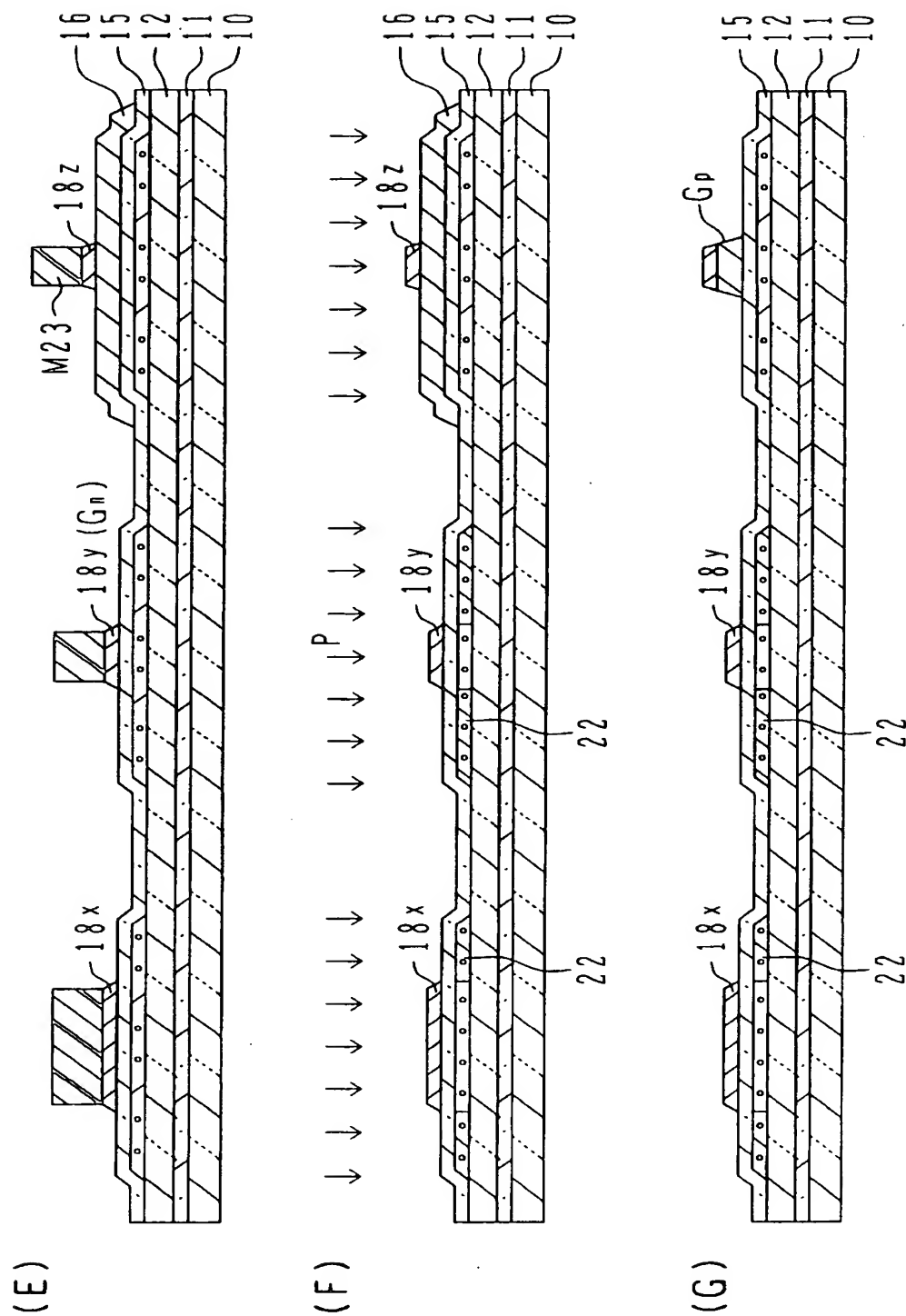
(B)



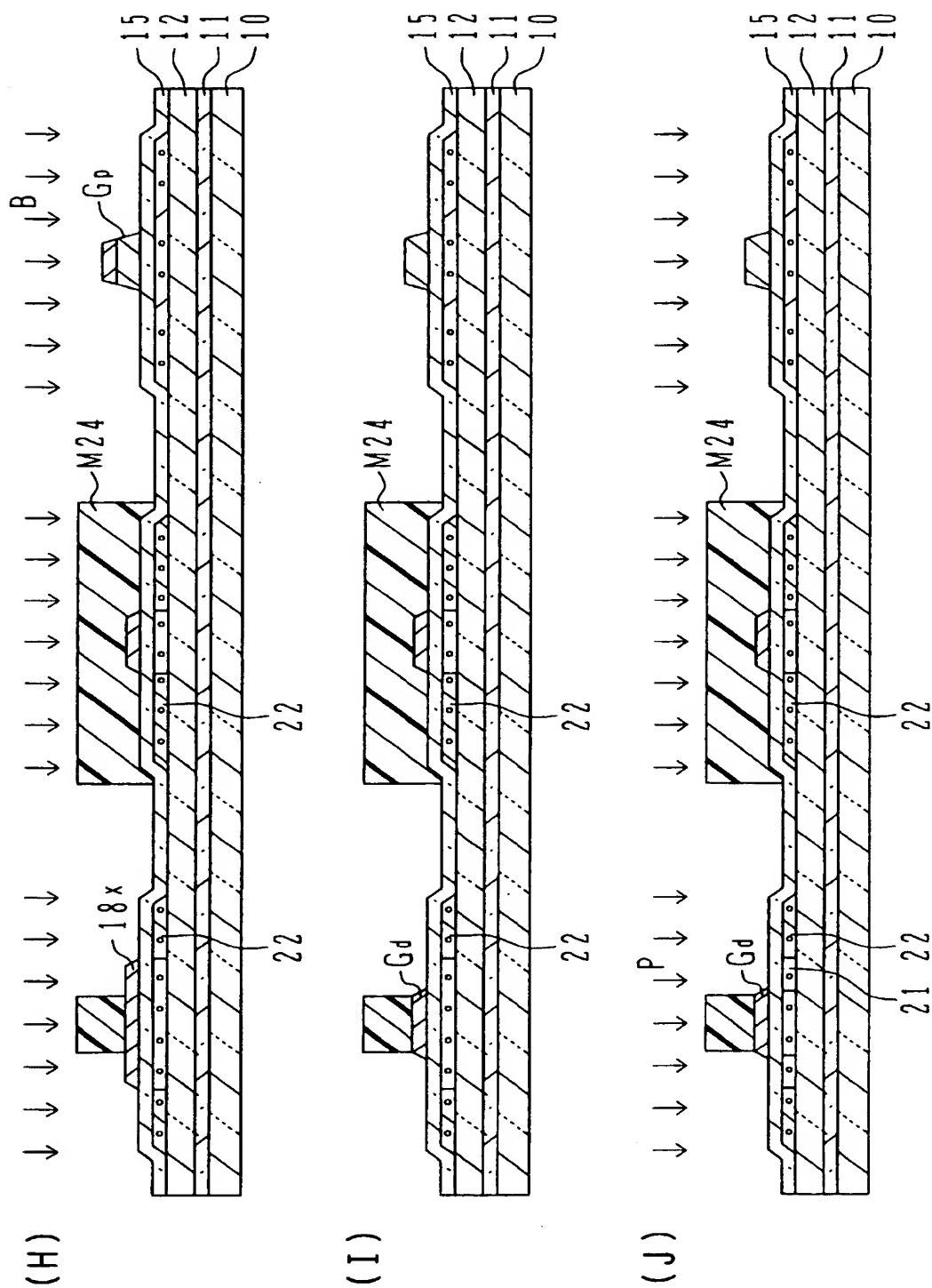
【図 7】



【図 8】

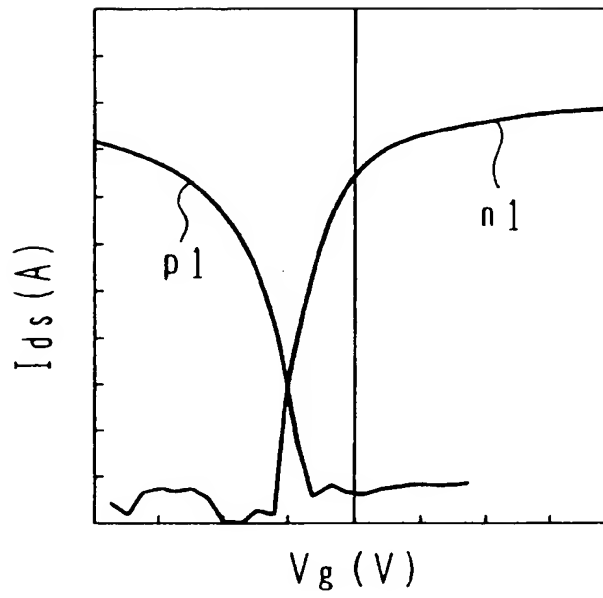


【図 9】

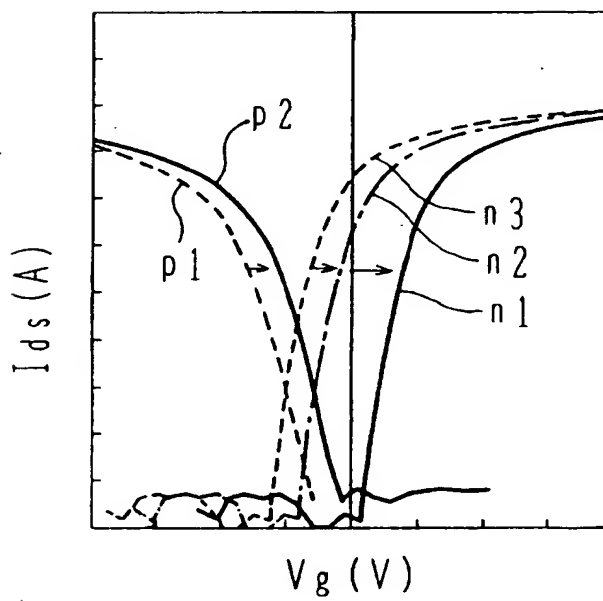


【図 10】

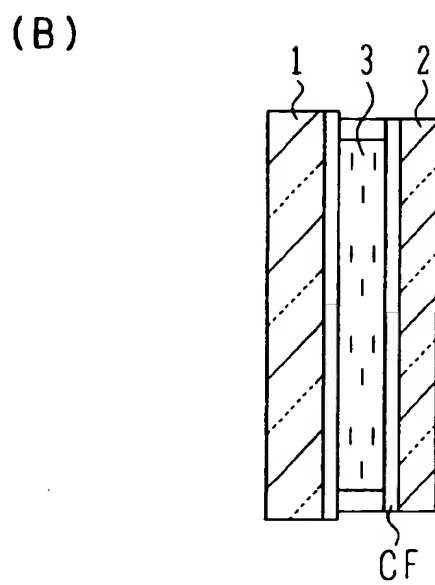
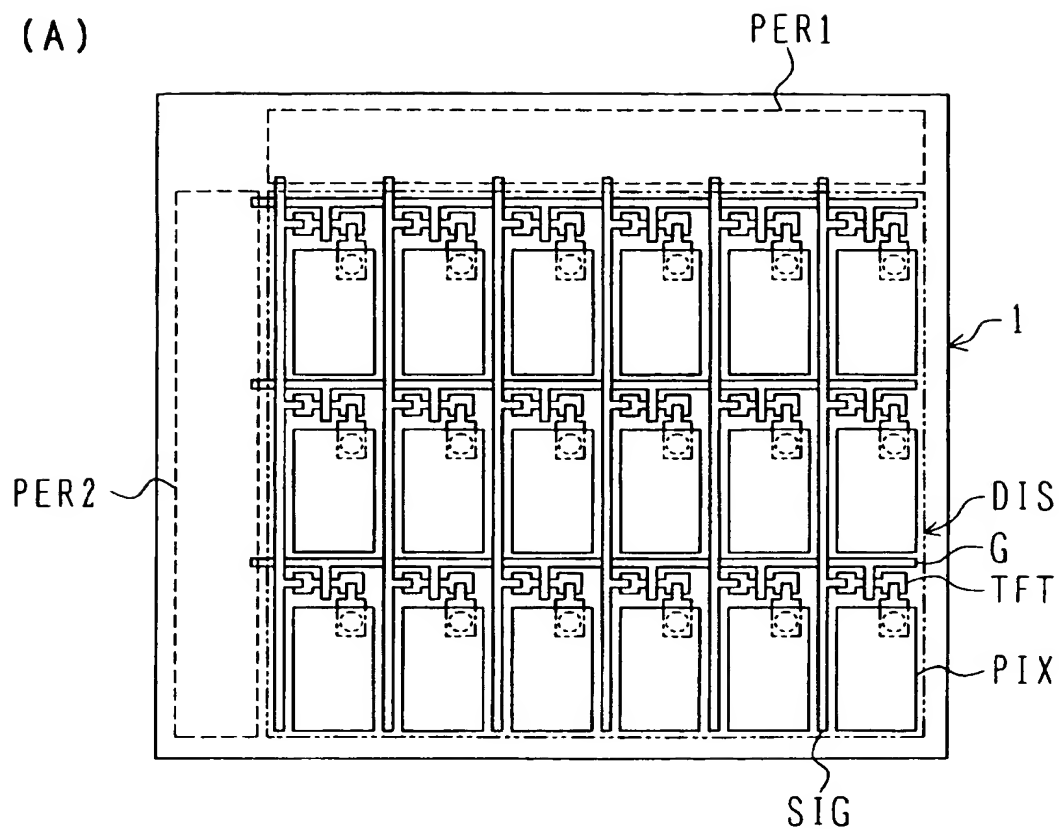
(A)



(B)



【図 11】



【書類名】 要約書

【要約】

【課題】 少ないマスク枚数で n チャンネルトランジスタの閾値と p チャンネルトランジスタの閾値とを独立に制御する。

【解決手段】 薄膜トランジスタ基板の製造方法は、半導体層に n チャンネルに適した閾値電圧を形成し、第 1 マスクを用いて各 T F T 領域を島状にパターンニングし、ゲート絶縁膜、第 1 ゲート電極層を形成し第 2 マスクを用いて第 1 ゲート電極層に開口をパターンニングし、開口内の p チャンネル T F T に P を注入して、p チャンネル T F T に適した閾値電圧を生成し、第 2 ゲート電極層を形成し、第 3 マスクを用いて第 2 ゲート電極層を各ゲート電極形状にエッチングし、第 1 ゲート電極層をマスクとして、高濃度 B を注入して、ソース／ドレイン領域を形成し、第 2 ゲート電極をマスクとして、第 1 ゲート電極層をエッチングし、ゲート電極を形成し、第 4 マスクを用いて、高濃度 P を注入し、n チャンネル T F T のソース／ドレイン領域を形成し、低濃度の P を注入して、L D D を形成する。

【選択図】 図 2

特願 2 0 0 3 - 0 1 7 3 0 6

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 3 6 0 0 2]

1. 変更年月日

2 0 0 2 年 6 月 1 3 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通ディスプレイテクノロジーズ株式会社